

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年9月13日 (13.09.2001)

PCT

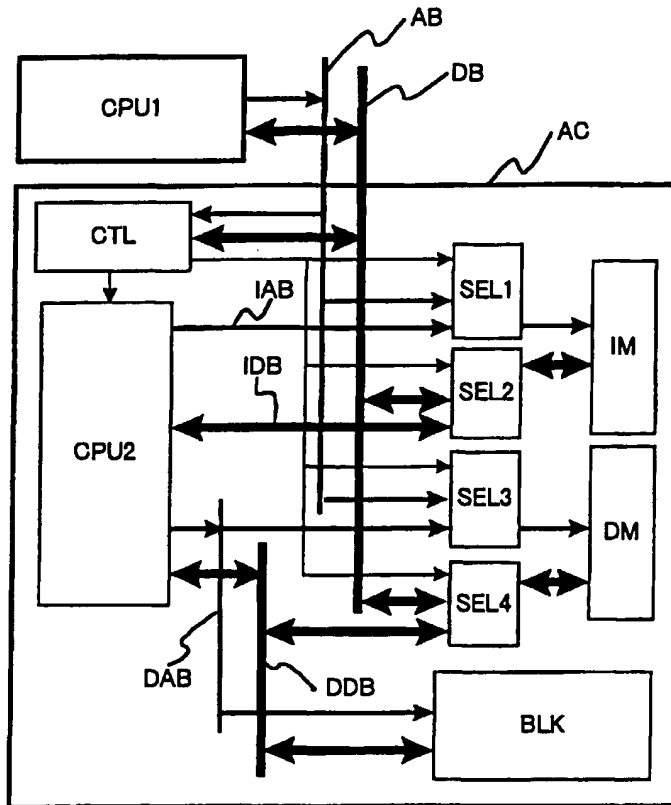
(10) 国際公開番号  
WO 01/67271 A1

- (51) 国際特許分類: G06F 15/173  
(21) 国際出願番号: PCT/JP00/01475  
(22) 国際出願日: 2000年3月10日 (10.03.2000)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 波多江博  
(HATAE, Hiroshi) [JP/JP]. 渡辺 浩己 (WATANABE, Hiromi) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 システムLSI開発 センタ内 Tokyo (JP).  
(74) 代理人: 弁理士 作田康夫 (SAKUTA, Yasuo); 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社日立製作所内 Tokyo (JP).  
(81) 指定国 (国内): CN, JP, KR, US.  
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  
添付公開書類: 国際調査報告書

[続葉有]

(54) Title: INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理装置



(57) Abstract: Means is provided for improving the performance or processing speed of an information processor that comprises a host CPU as a master and an accelerator as a slave connected with the master. The host CPU has a Neumann architecture, and the CPU in the accelerator has a Harvard architecture. More specifically, a storage shared by both CPUs includes a selector, which connects the storage selectively with the buses associated with the individual CPUs. The shared memory is composed of dual-port memory. The configuration increases the processing speed of the information processor comprising a master CPU and a slave CPU.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

マスターとしてのホストCPUと、マスターに接続されたスレーブとしてのアクセラレータとにより構成される情報処理装置のパフォーマンス則ち処理速度の向上を図ることを課題とする。この解決手段として、ホストCPUをノイマンアーキテクチャを有するCPUとし、アクセラレータ内のCPUをハーバードアーキテクチャを有するCPUとして構成する。更に、具体的には、両CPUによって共有される記憶装置にセレクトを設定することで、それぞれのCPUに接続されたバスを選択的に記憶装置に接続させる構成をとる。また、共有される記憶装置をデュアルポートメモリとする構成をとる。以上の構成により、マスターCPUとスレーブCPUとを有する情報処理装置の処理速度向上が可能となる。

## 明 細 書

## 情報処理装置

## 5 技術分野

本発明は情報処理装置に関し、特に、マスターとスレーブの関係を持つ2つのCPU（中央処理装置）、具体的には、ホストCPUとアクセラレータ内のCPUとの2つのCPUを有する情報処理装置に関する。

## 10 背景技術

現在、携帯端末機器がよく使用されるようになってきている。この携帯端末は、一般的に、マスターとしてのホストCPUと、ホストCPUの処理を助けるスレーブとしてのアクセラレータ等で構成される場合が多い。例えば、MPEG4をデコードする場合、音声部はホストCPU  
15 で処理を行い、画像部はMPEG4を処理する専用のLSI（アクセラレータ）に任せる構成となる。また、この携帯端末は、少ない消費電力で、かつ、複数の規格の信号処理を行えることが要求される。そのため、機器の内部に使用するLSIは、従来のホストCPUとハードウェアで構成されたアクセラレータの組み合わせから、ホストCPUとプロセッ  
20 サを内蔵しソフトウェアで動作するアクセラレータの組み合わせで使用する事が考えられる。以下、アクセラレータに内蔵されるプロセッサをアクセラレータCPUと呼ぶ。この様な構成では、アクセラレータへ転送するプログラムを変えることで、処理内容を変えることができる。つまり、転送するプログラムを変えることで、複数の規格の信号処理を行  
25 うことができるようになる。この場合の例を図10に示す。この構成では、ホストCPUとしての役目を果たす第1のCPU（CPU1）、

第1のCPUとアクセラレータとに接続されたアドレスバス（AB）とデータバス（DB）、アクセラレータ（AC）内に設けられたアクセラレータCPU（ACPU）、アクセラレータCPUに接続された内部アドレスバス（INTAB）と内部データバス（INTDB）、それぞれ  
5 のバスを選択的にメモリ（RAM）へ接続するための第1のセクタ（SEL1）と第2のセクタ（SEL2）とが示されている。動作としては、起動をかける前に第1のセクタと第2のセクタを第1のCPUのバス側に切り替え、アクセラレータCPUのプログラムをメモリに転送する。そして、アクセラレータに起動をかける場合は、セクタをア  
10 クセラレータCPU（ACPU）のバス側に切り換え、メモリに記憶されたプログラムを読み込み、アクセラレータCPUは処理を実行する。

ところで、マスターとしてのCPUに接続されたアクセラレータ内のCPUは、5段程度のパイプラインで構成することが多い。5段の内容は、命令フェッチ、命令デコード、実行、メモリアクセス、書き戻しで  
15 ある。その中で、命令フェッチとメモリアクセスのステージでは、両方ともにアクセラレータのCPUのアドレスバスとデータバスを使用するため競合が発生する。そのため、通常どちらかのステージを1クロック遅らせるような措置をとるため、情報処理装置のパフォーマンスつまり処理速度が落ちるという課題があった。

20 また、従来の関連する特許出願公開としては、特開平5-94305、特開平5-233519、特開平6-19704及び特開平10-254767がある。しかし、何れの公開公報においても、上記に示した構成における問題点の開示も示唆も見あたらず、本明細書で示す本発明の構成を示している公報は見受けられないものと言えよう。

25 そこで、本発明の目的とするところは、マスターの役目をするCPUと、スレーブの役目をするCPUとを有する情報処理装置において、バ

スアクセスの競合を防止し、パフォーマンスの低下しない情報処理装置を提供することにある。

本発明の更なる目的は、ノイマン型のCPUとハーバード型のCPUとを使用することで、高いパフォーマンスの情報処理装置を提供することにある。

本発明の上記以外の目的については、本明細書及び図面より明らかになるであろう。

#### 発明の開示

10    上記目的を達成するため、請求項1の発明では、第1の中央演算処理装置と第2の中央演算処理装置と記憶装置とを有する情報処理装置において、第1の中央処理装置は命令とデータとを同一のバスを介して記憶装置に出力し、第2の中央演算処理装置は命令バスとデータバスとを介して記憶装置にアクセスするようにしたものである。

15    請求項7の発明では、第1の中央処理装置と、第1の中央処理装置に接続され命令とデータとが転送される第1のバスと、第2の中央処理装置と、第2の中央処理装置に接続され命令が転送される第2のバスと、第2の中央処理装置に接続されデータが転送される第3のバスと、記憶装置と、第1のバスと第2のバスとに接続され第1のバス或いは第2の  
20    バスを選択して記憶装置に接続させる第1の選択回路と、第1のバスと第3のバスとに接続され第1のバス或いは第3のバスを選択して記憶装置に接続させる第2の選択回路とを有するようにしたものである。

請求項10のは発明では、第1の中央処理装置と、第1の中央処理装置に接続され命令とデータとが転送される第1のバスと、第2の中央処  
25    理装置と、第2の中央処理装置に接続された第2のバスと、第2の中央処理装置に接続された第3のバスと、第1のメモリポートと第2のメモ

リポートとを有する記憶装置と、第1のバスと第2のバスとに接続され第1のバス或いは第2のバスを選択して記憶装置の第1のメモリポートに接続させる第1の選択回路とを有し、第3のバスは記憶装置の第2のメモリポートに接続されるようにしたものである。

- 5 請求項14の発明では、ノイマンアーキテクチャを有する第1の中央処理装置と、第1の中央処理装置により転送されたプログラムの処理を行うハーバードアーキテクチャを有する第2の中央処理装置とを有するようにしたものである。

- 10 請求項15の発明では、請求項14の情報処理装置において、第1の中央処理装置は第1のバスを介して記憶装置に接続されており、第2の中央処理装置は第2のバスと第3のバスとを介して記憶装置に接続されるようにしたものである。

- 15 請求項16の発明では、請求項14又は15の情報処理装置において、記憶装置は第1のメモリポートと第2のメモリポートとを有するデュアルポートメモリであるとしたものである。

- 20 請求項19の発明では、請求項14又は15の情報処理装置において、記憶装置は命令を記憶する第1の記憶装置とデータを記憶する第2の記憶装置とを有しており、前記情報処理装置は、更に、第1のバスと第2のバスとを選択的に第1の記憶装置に接続する第1の選択回路と、第1のバスと第3のバスとを選択的に第2の記憶装置に接続する第2の選択回路とを有するようにしたものである。

- 25 以上、本発明を用いることにより、ホストCPUに接続されるアクセラレータが、ハーバードアーキテクチャのプロセッサ使用することが可能となるため、処理内容をプログラマブルにすることが可能となる。また命令フェッチとメモリアクセスとを並列に動作することが可能となるため、高速な情報処理装置を実現することができる。

### 図面の簡単な説明

図 1 は、実施例 1 にかかる情報処理装置の構成図である。図 2 は、図 1 内に示されたコントロールブロックの詳細な構成図である。図 3 は、  
5 図 1 内に示された論理ブロックの詳細な構成図である。図 4 は、実施例 2 にかかる情報処理装置の構成図である。図 5 は、命令用とデータ用領域の第 1 の割り振りを示した図である。図 6 は、命令用とデータ用領域の第 2 の割り振りを示した図である。図 7 は、実施例 3 にかかる情報処理装置の構成図である。図 8 は、実施例 4 にかかる情報処理装置の構成  
10 図である。図 9 は、実施例 5 の情報処理装置にかかる構成図である。図 10 は、従来の情報処理装置の構成図である。

### 発明を実施するための最良の形態

#### <実施例 1>

15 図 1 を用いて第一の実施例を説明する。本実施例で示している情報処理装置は、特に制限される訳ではないが、携帯情報端末で利用される。マスターとして働くホスト CPU と、それに接続されたスレーブとしてのアクセラレータとにより構成されている。例えば、ホスト CPU は音声処理を行い、アクセラレータは MPEG 4 を処理する場合等があり得  
20 るが、特に制限される訳ではない。図 1 において、CPU 1 がホスト CPU としての第一の CPU、CPU 2 はアクセラレータ (AC) 内の CPU としての第 2 の CPU である。特に制限されないが、本実施例の CPU は、命令フェッチ、命令デコード、実行、メモリアクセス、書き戻しにより構成される 5 段のパイプライン処理を行う。以上記載したことは、  
25 は、本実施例 1 に限定されるものでなく、後述の実施例にも適用出来るものである。CTL は第 2 の CPU である CPU 2 の制御を行ったり、

後述する第1のセクタ (SEL1) と第2のセクタ (SEL2) と第3のセクタ (SEL3) と第4のセクタ (SEL4) との制御を行うためのコントロールブロックである。コントロールブロック (CTL) は第2のCPUであるCPU2や第1から第4のセクタ (SEL1、SEL2、SEL3、SEL4) に信号線で接続され、それらの信号線を介して第2のCPU (CPU2) に対して起動をかけるための制御信号やそれぞれのセクタ (SEL1、SEL2、SEL3、SEL4) に制御信号を伝達する。第1のCPU (CPU1) はアドレスバス (AB) とデータバス (DB) とに接続されている。第2のCPU (CPU2) は、命令アドレスバス (IAB) と命令データバス (IDB) とデータアドレスバス (DAB) とデータ用データバス (DDB) とに接続されている。第1のセクタ (SEL1) は、第1のCPU (CPU1) に接続されたアドレスバス (AB) と第2のCPU (CPU2) に接続された命令アドレスバス (IAB) とを切り替えるセクタである。第2のセクタ (SEL2) は、第1のCPU (CPU1) に接続されたデータバス (DB) と第2のCPUに接続された命令データバス (IDB) とを切り替えるセクタである。第3のセクタ (SEL3) は、第1のCPU (CPU1) に接続されたアドレスバス (AB) と第2のCPU (CPU2) に接続されたデータアドレスバス (DAB) とを切り替えるセクタである。第4のセクタ (SEL4) は、第1のCPU (CPU1) に接続されたデータバス (DB) と第2のCPU (CPU2) に接続されたデータ用データバス (DDB) とを切り替えるセクタである。第1のセクタから第4のセクタは、制御信号により、接続されている何れかのバスをメモリに接続する構成としたが、何れのバスもメモリに接続しない状態が存在していても問題は無い。命令記憶装置 (IM) は第2のCPU (CPU2) の命令を格納する命令用の記



憶装置であり、アドレス端子は第1のセクタ（SEL1）を介してアドレスバス（AB）或いは命令アドレスバス（IAB）に接続され、データ端子は第2のセクタ（SEL2）を介してデータバス（DB）或いは命令データバス（IDB）に接続されている。データ記憶装置（DM）はデータを格納する命令用の記憶装置であり、アドレス端子は第3のセクタ（SEL3）を介してアドレスバス（AB）或いはデータアドレスバス（DAB）に接続され、データ端子は第4のセクタ（SEL4）を介してデータバス（DB）或いはデータ用データバス（DDB）に接続されている。本実施例の命令記憶装置（IM）とデータ記憶装置（DM）とは、RAM（random access memory）であるが、本発明の本質にかかわる部分では無いため、DRAMであってもSRAMであっても不揮発性メモリであっても特に問題はない。第2のCPUに接続されたデータアドレスバス（DAB）とデータ用データバス（DDB）とは、アクセラレータ（AC）に内蔵されている論理ブロック（BLK）に接続されている。本実施例の構成では、第2のCPUは命令用のバス（IAB、IDB）とデータ用のバス（DAB、DDB）とを分離したハーバード型のアーキテクチャを持っていることに特徴がある。又、第1のCPUは命令用のバスとデータ用のバスとが分離されていない、いわゆるノイマン型のアーキテクチャを持っている。

つまり上記説明において、アドレスバス（AB）には、命令アドレスとデータアドレスとが、データバス（DB）には、命令データとデータ用データとが転送される。本明細書では、ハーバードアーキテクチャ或いはハーバード型、及び、ノイマンアーキテクチャ或いはノイマン型と言った言葉を使用しているが、本明細書の趣旨を逸脱のであれば、他の名称を使用しても問題ない。又、本実施例1で示した第1のCPU及び第2のCPUは、命令をメモリに格納する際のメモリ効率を考慮して16

ビット長の命令が処理される構成とすることも可能であるが、より多くの命令を有するようにするために32ビット長の命令が処理される構成であってもよい。更には、16ビット長と32ビット長とが混在した命令を処理する構成であってもよく、第1のCPUと第2のCPUとは異なる命令長の命令を処理する構成であってもよいが、全ての実施例において、特に制限している訳ではない。また、以上の説明において、命令、データ、アドレスが一見混在しているように見えるが、アドレスデータとの関係に基づくデータと、命令データとの関係に基づくデータとが存在しているためである。しかし、命令データ、データ用データ、更には単なるデータとがそれぞれ意味を持ったものであることは、当業者にとっては容易に理解できるものである。

図2では、図1に示したコントロールブロック（CTL）について詳細に説明する。コントロールブロックは、その内部に、第1のCPUに接続されたアドレスバス（AB）とデータバス（DB）とに接続された制御回路（CTLC）を有する。制御回路（CTLC）では、アドレスバス（AB）より供給されるアドレスがデコードされ、供給されたアドレスがコントロールレジスタ（CTLR）のアドレスが示されていれば、コントロールレジスタ（CTLR）への書き込みが行われる。コントロールレジスタ（CTLR）の0ビット目（0bit）の値に応じて、第2のCPU（CPU2）を起動するための制御信号が信号線を介して第2のCPUへ供給される。またコントロールレジスタ（CTLR）の1ビット目（1bit）の値に応じて、第1から第4のセクタに対して、信号線を介して制御信号が供給される。

図3では、図1に示した論理ブロック（BLK）について詳細に説明する。この論理ブロック（BLK）は、特に制限されないが、ハードウェアで構成されるブロックである。本実施例では、例として、DC

T (discrete cosine transform: 離散コサイン変換) 処理を行うブロックを説明する。論理ブロック (BLK) は、第2のCPUに接続されているデータアドレスバス (DAB) とデータ用データバス (ddb) とに接続された制御回路 (BLKC) を有する。

- 5 論理ブロック内の制御回路 (BLKC) では、データアドレスバス (DAB) を介して供給されるアドレスがデコードされ、供給されたアドレスに応じてバッファ (BLKB) とレジスタ (BLKR) とが制御される。データ用データバス (ddb) からバッファ (BLKB) に対して、処理されるべきデータを書き込み、次にレジスタ (BLKR) が有する
- 10 起動ビットに”1”を書き込むと、離散コサイン変換ユニット (DCU) が動作を開始し、変換結果を再び結果をバッファ (BLKB) に書き込む。

- 次に、上記で示した本実施例の動作について説明する。まず、パワーオンリセット状態では、図2で示したコントロールブロック (CTL)
- 15 内のコントロールレジスタ (CTLR) は全ビット0の状態となる。従って、第2のCPUを起動するための信号線も”L”状態となり、第2のCPU (CPU2) は停止している。また、第1から第4のセレクト (SEL1、SEL2、SEL3、SEL4) を制御するための信号線も”L”状態となる。セレクトの制御を行う信号線が”L”の状態であれば、第1のセレクト (SEL1) と第3のセレクト (SEL3) とは、
- 20 第1のCPUに接続されたアドレスバス (AB) を選択し、命令記憶装置 (IM) とデータ記憶装置 (DM) とはアドレスバス (AB) に接続された状態となる。また同様に、セレクトの制御を行う信号線が”L”の状態であれば、第2のセレクト (SEL2) と第4のセレクト (SEL4) とは、第1のCPUに接続されたデータバス (DB) を選択し、
- 25 命令記憶装置 (IM) とデータ記憶装置 (DM) とはデータバス (DB)

に接続された状態となる。つまり、第1から第4のセレクトを制御するための信号線が“L”の場合、命令記憶装置とデータ記憶装置とは、第1のCPUに接続されることとなる。この状態において、第2のCPUを動作させる場合、第1のCPU（CPU1）は、アドレスバス（AB）と第1のセレクト（SEL1）及びデータバス（DB）と第2のセレクト（SEL2）を介して、第2のCPU（CPU2）用の命令を命令記憶装置（IM）に転送し、更に、アドレスバス（AB）と第3のセレクト（SEL3）及びデータバス（DB）と第4のセレクト（SEL4）を介して、第2のCPU（CPU2）用のデータをデータ記憶装置（DM）に転送する。更に、コントロールブロック（CTL）内の制御回路（CTLC）は、コントロールレジスタ（CTLR）の1ビット目（1 bit）に“1”を書き込む。それにより、それぞれのセレクトの制御を行う制御信号は“H”状態となり、第1のセレクト（SEL1）は第2のCPU（CPU2）に接続されている命令アドレスバス（IAB）と命令記憶装置（IM）のアドレス端子とを接続し、第2のセレクト（SEL2）は第2のCPU（CPU2）に接続されている命令データバス（IDB）と命令記憶装置（IM）のデータ端子とを接続する。また、第3のセレクト（SEL3）は第2のCPU（CPU2）に接続されているデータアドレスバス（DAB）とデータ記憶装置（DM）のアドレス端子とを接続し、第4のセレクト（SEL4）は第2のCPU（CPU2）に接続されているデータ用データバス（ddb）とデータ記憶装置（DM）のデータ端子とを接続する。次に、コントロールブロック（CTL）内のコントロールレジスタ（CTLR）の0ビット目（0 bit）に“1”を書き込む。それにより、第2のCPU（CPU2）に接続された信号線を伝達する制御信号が“H”状態となり、第2のCPUに起動がかかる。以上の動作により、第2のCPU（CPU2）は、命令記

憶装置（IM）に格納されている命令とデータ記憶装置（DM）に格納されているデータとを用いて処理を開始する。

以上説明してきた本実施例1の情報処理装置の構成により、ホスト的な動作を行う第1のCPUに接続されたアクセラレータ（AC）内の中央処理装置（本実施例では第2のCPU）に命令バスとデータバスとが分離したハーバードアーキテクチャのCPUを用いることが可能となる。そのため、アクセラレータ内の第2のCPUがメモリアクセスを行う際、データと命令とを別のバスでアクセスすることが可能であるため、パイプライン処理を行う上で発生する可能性の高いバス間の競合が発生せず、パイプラインステージを遅らせて処理させる必要が無くなるため、処理速度の低下を招くことなく、より高いパフォーマンスでの動作が可能となる。

#### <実施例2>

次に図4を用いて、実施例2を説明する。本実施例は、実施例1における命令記憶装置（IM）とデータ記憶装置（DM）の代わりにデュアルポートメモリ（DPM）を用いることに特徴がある。但し、デュアルポートメモリは、2ポートメモリと称される場合もある。

実施例1との差違を中心に、実施例2の構成について示す。実施例2においても、特に制限されないが、第1のCPU（CPU1）はホストCPUであり、第2のCPU（CPU2）はアクセラレータ（AC）内に設けられたCPUである。コントロールブロック（CTL）は、第2のCPUであるCPU2の制御を行ったり、後述する第1のセクタ（SEL1）と第2のセクタ（SEL2）との制御を行う。コントロールブロック（CTL）は第2のCPUであるCPU2や第1のセクタ（SEL1）と第2のセクタ（SEL2）とに信号線で接続され、それらの信号線を介して第2のCPU（CPU2）に対して起動をかけるため

の制御信号や第1と第2のセレクト（SEL1、SEL2）に制御信号を伝達する。第1のCPU（CPU1）はアドレスバス（AB）とデータバス（DB）とに接続されている。第2のCPU（CPU2）は、命令アドレスバス（IAB）と命令データバス（IDB）とデータアドレスバス（DAB）とデータ用データバス（ddb）とに接続されている。

5 第1のセレクト（SEL1）は、第1のCPU（CPU1）に接続されたアドレスバス（AB）と第2のCPU（CPU2）に接続された命令アドレスバス（IAB）とを切り替えるセレクトである。第2のセレクト（SEL2）は、第1のCPU（CPU1）に接続されたデータバス（DB）と第2のCPUに接続された命令データバス（IDB）とを切り替えるセレクトである。デュアルポートメモリ（DPM）は、アドレスが入力されるアドレス端子とデータが入出力されるデータ端子とにより構成される第1のメモリポート（P1）と第2のメモリポート（P2）とを独立に2つ持つメモリであり、従来より知られているものであるためその内部についての説明は省略する。デュアルポートメモリ（DPM）は第2のCPU（CPU2）の命令と第2のCPUで処理されるデータと格納する命令用の記憶装置である。デュアルポートメモリ（DPM）の第1のポート（P1）のアドレス端子は第1のセレクト（SEL1）を介してアドレスバス（AB）或いは命令アドレスバス（IAB）に接続され、データ端子は第2のセレクト（SEL2）を介してデータバス（DB）或いは命令データバス（IDB）に接続されている。デュアルポートメモリの第2のポート（P2）のアドレス端子は、データアドレスバス（DAB）に接続され、データ端子はデータ用データバス（ddb）に接続されている。尚、コントロールブロック（CTL）及び、論理ブロック（BLK）の内部の構成については、特に制限されるわけではないが、図2及び図3の構成と同様である。更に、本実施例2の構成

10

15

20

25

においても、第2のCPUは命令用のバス（IAB、IDB）とデータ用のバス（DAB、ddb）とを分離したハーバード型のアーキテクチャである。又、第1のCPUは命令用のバスとデータ用のバスとが分離されていない、いわゆるノイマン型のアーキテクチャを持っている。つまり上記説明において、アドレスバス（AB）には、命令アドレスとデータアドレスとが、データバス（DB）には、命令データとデータ用データとが転送される。

本実施例2における情報処理装置の動作について説明する。まず、パワーオンリセットの状態では、実施例1と同様に第1のセクタ（SEL1）は第1のCPU（CPU1）に接続されたアドレスバス（AB）をデュアルポートメモリ（DPM）の第1のポート（P1）のアドレス端子に接続しており、第2のセクタ（SEL2）は第1のCPUに接続されたデータバス（DB）をデュアルポートメモリの第1のポート（P1）のデータ端子に接続している。この状態で、第1のCPU（CPU1）は、アクセラレータ（AC）内の第2のCPU（CPU2）用の命令とデータ或いは命令とデータとが混在したプログラムをデュアルポートメモリの第1のポートを介して転送する。次に、実施例1と同様に、コントロールブロック（CTL）内のコントロールレジスタ（CTLR）の1ビット目（1bit）に”1”を書き込む。それにより、それぞれのセクタの制御を行う制御信号は”H”状態となり、第1のセクタは、デュアルポートメモリ（DPM）の第1のポート（P1）のアドレス端子と第2のCPU（CPU2）に接続された命令アドレスバス（IAB）とを接続し、第2のセクタは、第1のポートのデータ端子と第2のCPUに接続された命令データバス（IDB）とを接続する。更に、コントロールブロック内のコントロールレジスタの0ビット目（0bit）に”1”を書き込むことで、第2のCPU（CPU2）の起動がか

けられ、第2のCPUはデュアルポートメモリ（DPM）の第1のポート（P1）と命令アドレスバス（IAB）と命令データバス（IDB）とを通して、デュアルポートメモリ内に格納されている第2のCPUによって実行される命令の取り込み動作を開始する。このとき、デュアル  
5 ポートメモリは、2つのポート（P1、P2）から物理的に同一のメモリー空間を並列にアクセスできるため、第2のCPUの命令用バス（IAB、IDB）とデータ用バス（DAB、ddb）とが並列して動作することが可能になる。

本実施例2では、アクセラレータ（AC）内の第2のCPU（CPU  
10 2）がアクセスする命令領域、データ領域を同一の物理空間に持っているため、第2のCPUがハーバードアーキテクチャを持っていたとしても、命令とデータが混在したプログラムを使用することが可能となる。更に、ホストCPUである第1のCPU（CPU1）からのプログラムの転送も1回で行うことが可能となる。また、実施例1で4個必要であったセ  
15 レクタも2個で済むようになる。このように、本実施例2では、実施例1に比べ、ハードウェア規模を小さくすることが可能となり、更に、パフォーマンスを向上させることができる。また、命令とデータとが同一の物理空間を利用することができるので、RAM空間全体を図5のよう  
20 に命令用の領域（IR）に4割、データ用の領域（DR）に6割と分割して使用すること、または、図6の様に命令用領域（IR）に6割、データ用の領域（DR）に4割と分割して使用することが可能となり、命令とデータの割合をフレキシブルに変更して使用することができる。

尚、本実施例2では、第1のCPUに接続されたバス（AB、DB）と第2のCPUの命令バス（IAB、IDB）との間にセクタ（SEL  
25 L1、SEL2）とを設けた構成となっているが、第1のCPUに接続されたバス（AB、DB）と第2のCPUのデータバス（DAB、DD



B)との間に設けた構成であっても良い。また、本実施例2では、第2のCPUの一方のバスと第1のCPUに接続されたバスとの間にセレクタを設けた構成となっているが、両方に設けた構造であっても良い。この場合は、実施例1の命令記憶装置とデータ記憶装置とを一つのデュアルポートメモリに置き換えた構成と同一である。

### <実施例3>

次に図7を用いて、実施例3を説明する。本実施例3では、アクセラレータ(AC)内の記憶装置として、アドレスが入力されるアドレス端子とデータが入出力されるデータ端子とにより構成されるメモリポートを3つ持ったトリプルポートメモリ(TPM)を用いることに特徴がある。このトリプルポートメモリとは、3ポートメモリと称されることもあるが、同一のRAM空間を第1のメモリポート(P1)と第2のメモリポート(P2)と第3のメモリポート(P3)の3つのポートで並列にアクセスできるメモリのことである。本実施例3でも、実施例1や実施例2と同様に、ホスト的な動作を行う第1のCPU(CPU1)と、第1のCPUに接続されたアドレスバス(AB)及びデータバス(DB)とを有している。更に、それらバスを介して接続されているアクセラレータ(AC)には、第2のCPU(CPU2)、及び、アドレスバス(AB)とデータバス(DB)とに接続されたコントロールブロック(CTL)、及び、第2のCPUに接続された命令アドレスバス(IAB)と命令データバス(IDB)、及び、第2のCPUと論理ブロック(BLK)とに接続されたデータアドレスバス(DAB)とデータ用データバス(DDB)、及び、前述のトリプルポートメモリ(TPM)が形成されている。上述した通り、本実施例3のトリプルポートメモリ(TPM)はメモリポートを3つ備えているため、それぞれのバスを接続できる。具体的には、トリプルポートメモリの第1のメモリポート(P1)には、

第1のCPUに接続されたアドレスバス（AB）とデータバス（DB）とが接続され、第2のメモリポート（P2）には、第2のCPUに接続された命令アドレスバス（IAB）と命令データバス（IDB）とが接続され、第3のメモリポートには、第2のCPUに接続されたデータアドレスバス（DAB）とデータ用データバス（ddb）とが接続されている。そのため、実施例1と実施例2で必要であったセクタを設ける必要がない。つまり、コントロールブロック（CTL）は、実施例1及び実施例2で説明したコントロールブロックとセクタとに接続された信号線が不要となる。更に、図2において説明した、セクタを制御するためのコントロールレジスタの1ビット目（1bit）の設定も不要となる。尚、論理ブロック（BLK）の構成については、特に制限される訳ではないが、図3と同様の構成であっても問題はない。

本実施例3の動作について、以下で説明する。まず、ホストCPU2は、アクセラレータCPU26用の命令とデータが混在したプログラムをトリプルポートRAM50に転送する。次に、実施例1と同様にアクセラレータCPU26に起動がかけられ、アクセラレータCPU26はトリプルポートRAM50の命令を取り込み動作を開始する。

本実施例3では、第1のCPU（CPU1）に接続させたアドレスバス（AB）及びデータバス（DB）と、第2のCPU（CPU2）に接続された命令アドレスバス（IAB）及び命令データバス（IDB）とはそれぞれトリプルポートメモリ（TPM）の第1のメモリポート（P1）と第2のメモリポート（P2）とに接続されているため、実施例1、実施例2で必要であったセクタ1（SEL1）とセクタ2（SEL2）とが必要でない。そのため、制御が簡単になるという利点を持っている。また、本実施例3では、第2のCPU（CPU2）が動作している時、第1のCPU（CPU1）から命令やデータ或いは命令とデータ

とによりなるプログラムをトリプルポートメモリの第1のメモリポート  
(P1)を通して転送することができる。そのため、プログラムを変えて動作させたい場合、前のプログラムを動作させながら次のプログラムを転送することが可能になり、処理のオーバーヘッドを少なくすることが可能  
5 が可能となり、情報処理装置全体のパフォーマンスを上げることが可能となる。

#### <実施例4>

次に図8を用いて、実施例4を説明する。本実施例4は、上述した、デュアルポートメモリを使用した実施例2を変形したものである。本実  
10 施例4では、アクセラレータ(AC)内の第2のCPU(CPU2)の命令データバスに下位ビットと上位ビットとの切り替えをする第5のセクタ(SEL5)があることに特徴がある。本実施例4の第2のCPU(CPU2)は、命令長が16ビット、演算ビット長が32ビットである。一方、デュアルポートメモリ(DPM)のビット幅は32ビット  
15 ある。このため、第2のCPUは、デュアルポートメモリに命令バス(IAB、IDB)のアクセス、データバス(DAB、ddb)のアクセスとともに32ビットで行う。そこで、第5のセクタ(SEL5)は、第2のCPUから出力される命令アドレスバス(IAB)の情報をもらい、デュアルポートメモリ(DPM)から出力される32ビット命令データ  
20 中の必要な上位あるいは下位の16ビットを選択し第2のCPUに対して出力する。

このように、本実施例5では、命令のビット長とデータのビット長とが違う場合でも、デュアルポートRAMを用いることができる。

#### <実施例5>

25 図9では、第5の実施例を説明する。本実施例5も、上述した、デュアルポートメモリを使用した実施例2を変形したものである。本実施例

5では、アクセラレータ（AC）内の第2のCPU（CPU2）のデータ用データバスに下位ビットと上位ビットとの切り替えをする第6のセクタ（SEL6）があることに特徴がある。本実施例5の第2のCPU（CPU2）は、命令長が16ビット、演算ビット長が32ビットである。一方、デュアルポートメモリ（DPM）のビット幅は32ビットある。このため、第2のCPUは、デュアルポートメモリに命令バス（IAB、IDB）のアクセス、データバス（DAB、ddb）のアクセスとともに32ビットで行う。そこで、第5のセクタ（SEL5）は、第2のCPUから出力されるアドレスの情報をもらい、アクセスした32ビットの中の必要な上位あるいは下位の16ビットを選択して出力する。

このように、本実施例5では、命令バスのバス幅とデータバスのバス幅とが違っても、デュアルポートRAMを用いることができる。

以上、ホストCPUとアクセラレータというシステム構成で説明したが、ホストCPU部分とアクセラレータ部分とが別チップで構成した場合、ホストCPUとアクセラレータとを結ぶバスの幅を小さくすることが可能となるが、ホストCPUとアクセラレータとを同一チップで構成しても全く問題はない。また、実施例1の命令記憶装置（IM）とデータ記憶装置（DM）、実施例2と実施例4と実施例5のデュアルポートメモリ（DPM）、実施例3のトリプルポートメモリ（TPM）はフラッシュメモリで構成してもかまわない。これにより、電源の供給を停止してもデータを保持することができるため、電源の供給を再開にした場合に、前回の終了時と同じ状態を再現することが可能となる。

## 請求の範囲

1. 第1の中央演算処理装置と第2の中央演算処理装置と記憶装置とを有する情報処理装置であって、

前記第1の中央処理装置は、命令とデータとを同一のバスを介して前  
5 記記憶装置に出力し、

前記第2の中央演算処理装置は、命令バスとデータバスとを介して前記記憶装置にアクセスすることを特徴とする情報処理装置。

2. 請求の範囲第1項において、

前記第1の中央処理装置は、前記記憶装置に対して、前記第2で実行  
10 されるプログラムを前記同一のバスを介して転送することを特徴とする情報処理装置。

3. 請求の範囲第1項において、

前記情報処理装置は、前記同一のバスと前記命令バスとを選択的に前記記憶装置に接続するための選択回路と、前記同一のバスと前記データ  
15 バスとを選択的に前記記憶装置に接続するための選択回路とを、更に有していることを特徴とする情報処理装置。

4. 請求の範囲第1項において、

前記記憶装置は、デュアルポートメモリであり、

前記デュアルポートメモリの第1のポートは、選択回路を介して、前  
20 記同一のバスと前記命令バスとに選択的に接続され、

前記デュアルポートメモリの第2のポートは、前記データバスに接続されていることを特徴とする情報処理装置。

5. 請求の範囲第1項において、

前記記憶装置は、デュアルポートメモリであり、

25 前記デュアルポートメモリの第1のポートは、選択回路を介して、前記同一のバスと前記データバスとに選択的に接続され、

前記デュアルポートメモリの第2のポートは、前記命令バスに接続されていることを特徴とする情報処理装置。

6. 請求の範囲第1項から第5項のいずれかにおいて、

5 前記同一のバスと前記命令バスと前記データバスとのそれぞれは、アドレスが転送されるバスとデータが転送されるバスとにより構成されることを特徴とする情報処理装置。

7. 第1の中央処理装置と、

前記第1の中央処理装置に接続され、命令とデータとが転送される第1のバスと、

10 第2の中央処理装置と、

前記第2の中央処理装置に接続され、命令が転送される第2のバスと、

前記第2の中央処理装置に接続され、データが転送される第3のバスと、

記憶装置と、

15 前記第1のバスと前記第2のバスとに接続され、前記第1のバス或いは前記第2のバスを選択して前記記憶装置に接続させる第1の選択回路と、

前記第1のバスと前記第3のバスとに接続され、前記第1のバス或いは前記第3のバスを選択して前記記憶装置に接続させる第2の選択回路

20 とを有していることを特徴とする情報処理装置。

8. 請求の範囲第7項において、

前記記憶装置は、命令を記憶する第1のメモリとデータを記憶する第2のメモリとを有しており、

前記第1の選択手段は、前記第1のメモリに接続されており、

25 前記第2の選択手段は、前記第2のメモリに接続されていることを特徴とする情報処理装置。

9. 請求の範囲第7項において、

前記記憶装置はデュアルポートメモリであり、

前記第1の選択手段は、前記デュアルポートメモリの第1のメモリポートに接続されており、

5 前記第2の選択手段は、前記デュアルポートメモリの第2のメモリポートに接続されていることを特徴とする情報処理装置。

10. 第1の中央処理装置と、

前記第1の中央処理装置に接続され、命令とデータとが転送される第1のバスと、

10 第2の中央処理装置と、

前記第2の中央処理装置に接続された第2のバスと、

前記第2の中央処理装置に接続された第3のバスと、

第1のメモリポートと第2のメモリポートとを有する記憶装置と、

15 前記第1のバスと前記第2のバスとに接続され、前記第1のバス或いは前記第2のバスを選択して前記記憶装置の前記第1のメモリポートに接続させる第1の選択回路とを有し、

前記第3のバスは、前記記憶装置の第2のメモリポートに接続されていることを特徴とする情報処理装置。

11. 請求の範囲第10項において、

20 前記第2のバスは、命令が転送されるバスであり、

前記第3のバスは、データが転送されるバスであることを特徴とする情報処理装置。

12. 請求の範囲第11項において、

前記第2のバスは、データが転送されるバスであり、

25 前記第3のバスは、命令が転送されるバスであることを特徴とする情報処理装置。

- 1 3. 請求の範囲第7項から第12項のいずれかにおいて、  
前記第1のバスと前記第2のバスと前記第3のバスとのそれぞれは、  
アドレスが転送されるバスとデータが転送されるバスとにより構成され  
ることを特徴とする情報処理装置。
- 5 1 4. ノイマンアーキテクチャを有する第1の中央処理装置と、  
前記第1の中央処理装置により転送されたプログラムの処理を行うハー  
バードアーキテクチャを有する第2の中央処理装置とを有することを  
特徴とする情報処理装置。
- 1 5. 請求の範囲第14項において、  
10 前記第1の中央処理装置は、第1のバスを介して記憶装置に接続され  
ており、  
前記第2の中央処理装置は、第2のバスと第3のバスとを介して前記  
記憶装置に接続されていることを特徴とする情報処理装置。
- 1 6. 請求の範囲第14項又は第15項において、  
15 前記記憶装置は、第1のメモリポートと第2のメモリポートとを有す  
るデュアルポートメモリであることを特徴とする情報処理装置。
- 1 7. 請求の範囲第16項において、  
前記情報処理装置は、前記第1のバスと前記第2のバスとを選択的に  
前記第1のメモリポートに接続する選択回路を有しており、  
20 前記第3のバスは、前記第2のメモリポートに接続されていることを  
特徴とする情報処理装置。
- 1 8. 請求の範囲第16項において、  
前記情報処理装置は、前記第1のバスと前記第2のバスとを選択的に  
前記第1のメモリポートに接続する第1の選択回路と、前記第1のバス  
25 と前記第3のバスとを選択的に前記第2のメモリポートに接続する第2  
の選択回路とを有していることを特徴とする情報処理装置。

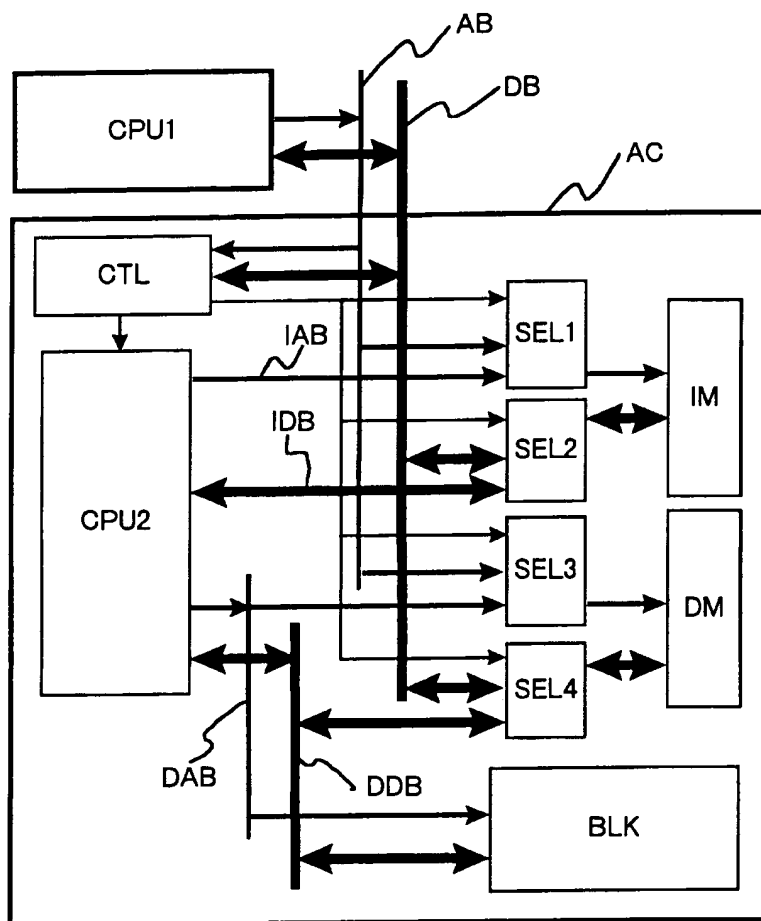


19. 請求の範囲第14項又は第15項において、  
前記記憶装置は、命令を記憶する第1の記憶装置とデータを記憶する第2の記憶装置とを有しており、

前記情報処理装置は、更に、前記第1のバスと前記第2のバスとを選択的に前記第1の記憶装置に接続する第1の選択回路と、前記第1のバスと前記第3のバスとを選択的に前記第2の記憶装置に接続する第2の選択回路とを有していることを特徴とする情報処理装置。

1/8

図1



2/8

図2

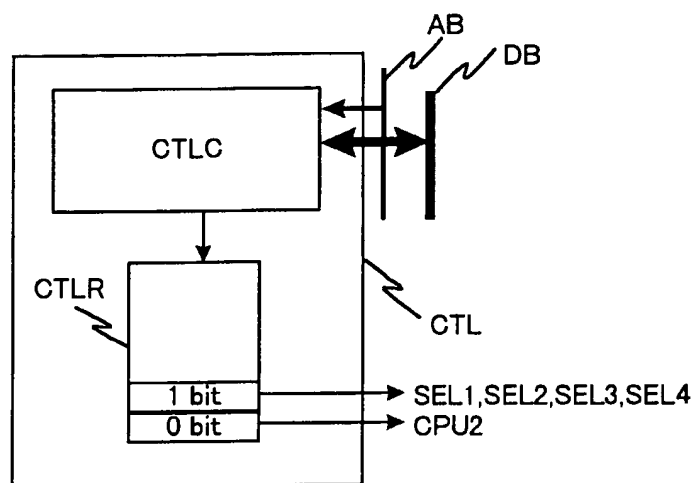
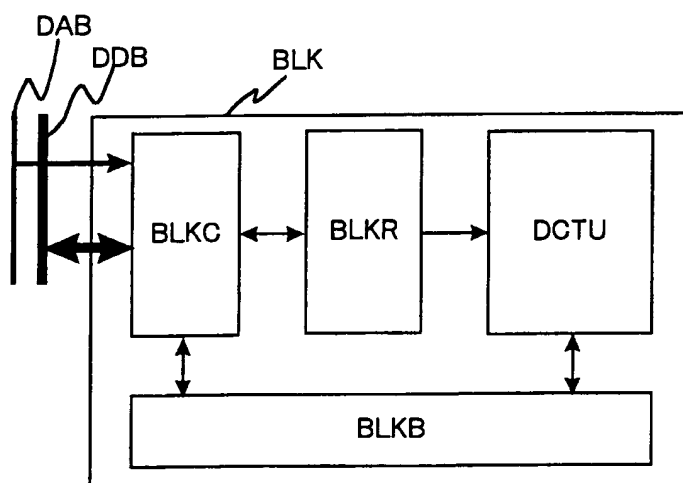
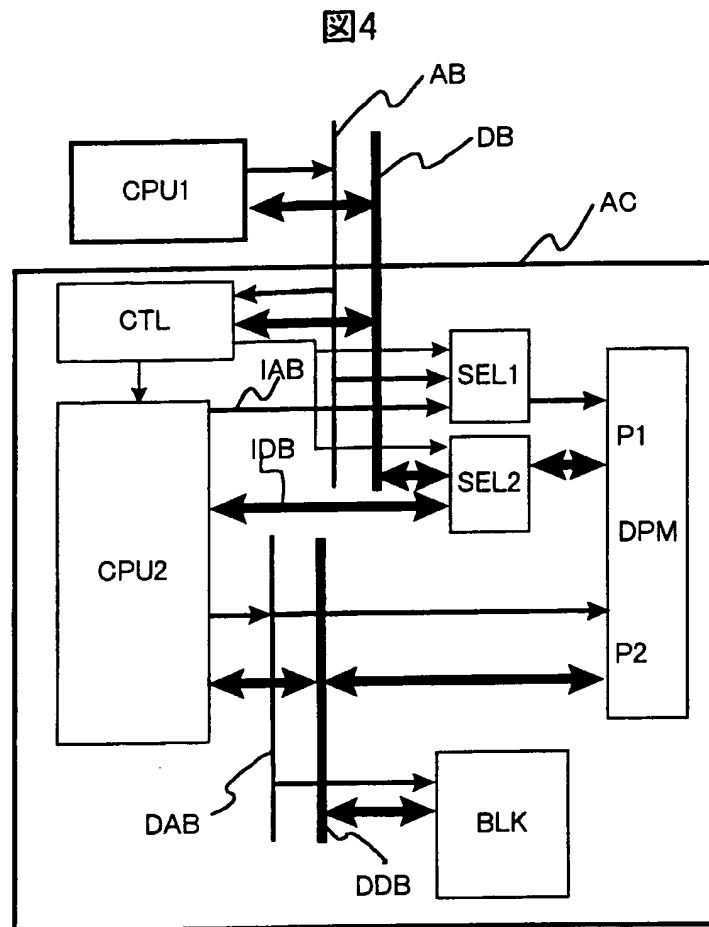


図3



3/8



4/8

図5

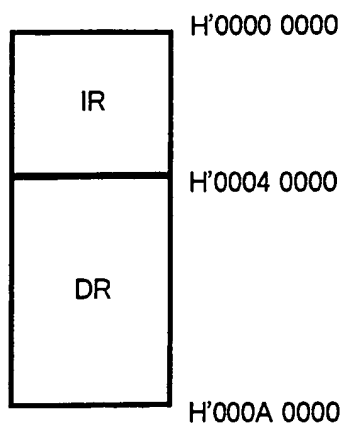
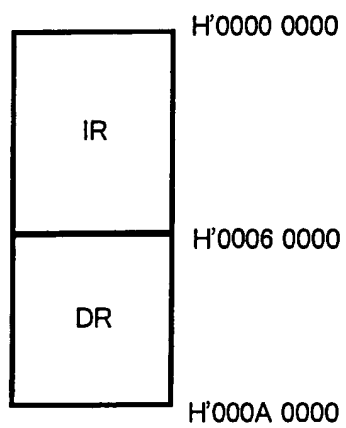
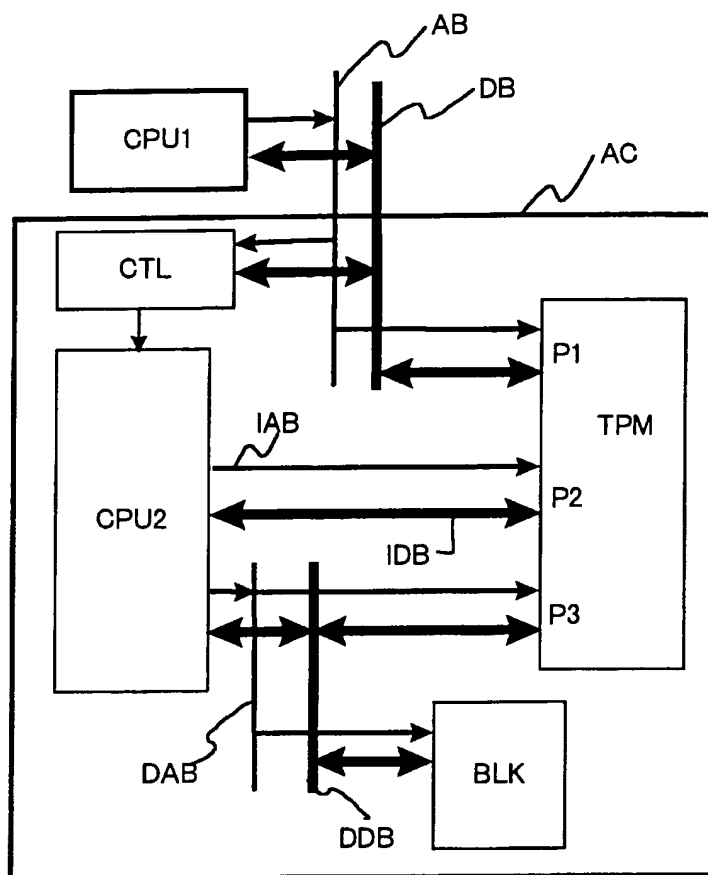


図6



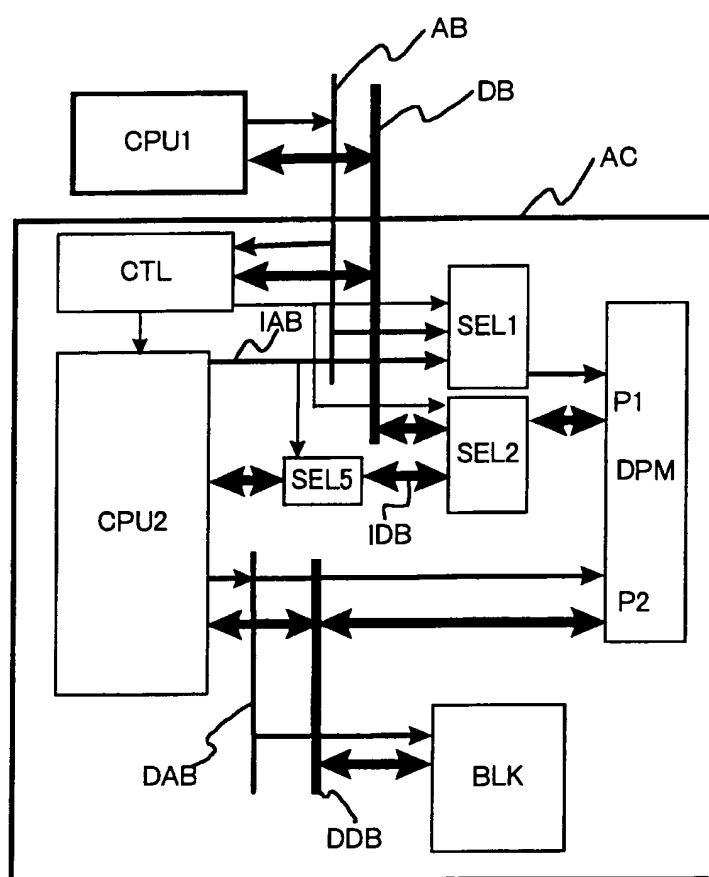
5/8

図7



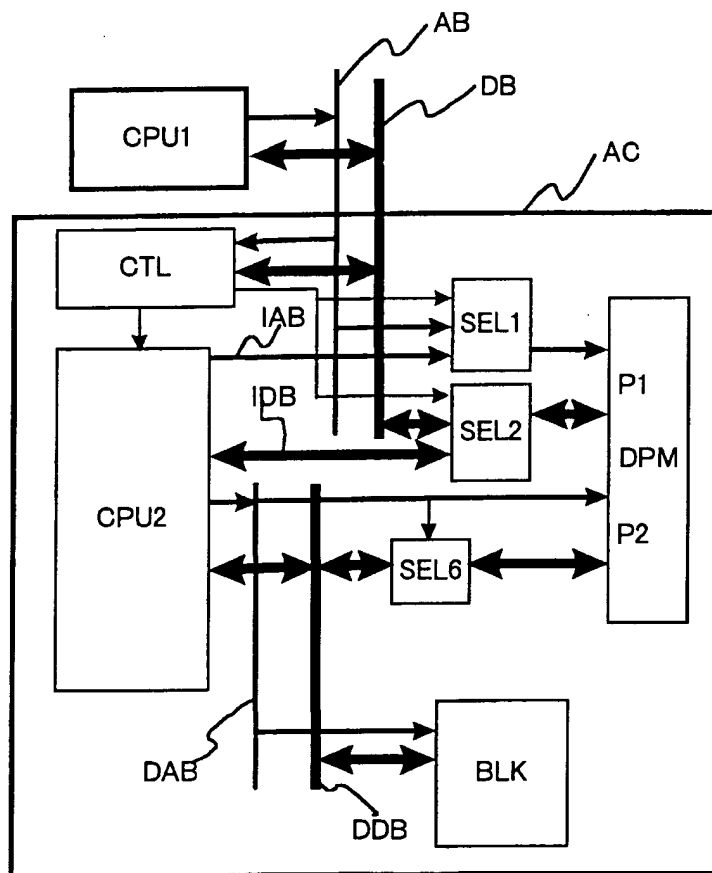
6/8

図8



7/8

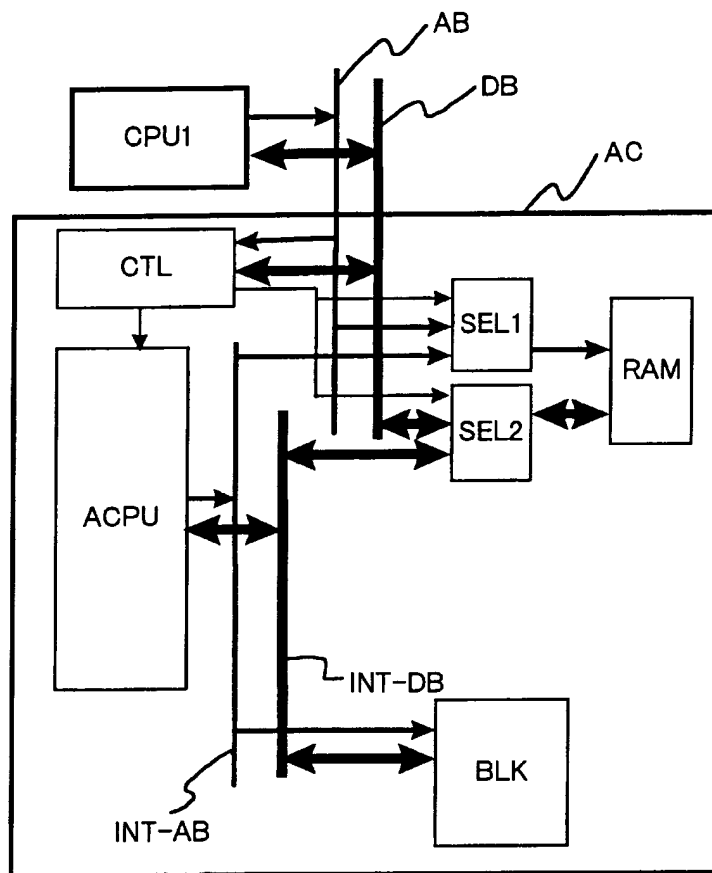
図9





8/8

図10



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01475

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06F15/173

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F15/16-15/177, G06F12/00-12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE on Science and Technology, "Neumann\*Harvard" (in Japanese)

WPI

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-254767, A (Sharp Corporation), 25 September, 1998 (25.09.98), Full text; Figs. 1 to 4	1-3, 6-8, 13-15, 19
Y	Full text; Figs. 1 to 4 (Family: none)	4, 5, 9-12, 16-18
Y	JP, 5-233519, A (Ricoh Company, Ltd.), 10 September, 1993 (10.09.93), Full text; Figs. 1 to 7	4, 5, 9-12, 16-18
A	Full text; Figs. 1 to 7 (Family: none)	6, 13
A	US, 4912636, A1 (Texas Instruments Inc.), 27 March, 1990 (27.03.90), Full text; Figs. 1 to 9 & JP, 63-303452, A	1-19
A	JP, 1-234962, A (NEC Corporation), 20 September, 1989 (20.09.89), Full text; Figs. 1 to 3 (Family: none)	6, 13

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
05 June, 2000 (05.06.00)Date of mailing of the international search report  
20 June, 2000 (20.06.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP00/01475

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F15/173

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F15/16-15/177, G06F12/00-12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国実用新案登録公報 1996-2000年

日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JIST科学技術文献ファイル, 「ノイマン\*ハーバード」

WPI

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 10-254767, A (シャープ株式会社) 25. 9月. 1998 (25. 09. 98) 全文, 第1-4図	1-3, 6- 8, 13-1 5, 19
Y	全文, 第1-4図 (ファミリーなし)	4, 5, 9- 12, 16- 18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

05. 06. 00

国際調査報告の発送日

20.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 正典

5M

9642

電話番号 03-3581-1101 内線 3599

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 5-233519, A (株式会社リコー) 10. 9月. 1993 (10. 09. 93) 全文, 第1-7図	4, 5, 9- 12, 16- 18
A	全文, 第1-7図 (ファミリーなし)	6, 13
A	US, 4912636, A1 (テキサス インストルメンツ イン コーポレイテッド) 27. 3月. 1990 (27. 03. 90) 全文, 第1-9図 & JP, 63-303452, A	1-19
A	JP, 1-234962, A (日本電気株式会社) 20. 9月. 1989 (20. 09. 89) 全文, 第1-3図 (ファミリーなし)	6, 13

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**